

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Practitioner's Docket No.: 040008-0307316
Client Reference No.: OG03-020

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: JIN HYO JUNG

Confirmation No:

Application No.: 10/748,044

Group No.:

Filed: December 31, 2003

Examiner:

For: STI STRUCTURE AND FABRICATING METHODS THEREOF

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SUBMISSION OF PRIORITY DOCUMENT

Attached please find the certified copy of the foreign application from which priority is claimed for this case:

<u>Country</u>	<u>Application Number</u>	<u>Filing Date</u>
Republic of Korea	10-2003-0039555	06/18/2003

Date: February 20, 2004
PILLSBURY WINTHROP LLP
P.O. Box 10500
McLean, VA 22102
Telephone: (703) 905-2000
Facsimile: (703) 905-2500
Customer Number: 00909



Glenn T. Barrett
Registration No. 38705



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2003-0039555
Application Number

출 원 년 월 일 : 2003년 06월 18일
Date of Application JUN 18, 2003

출 원 인 : 아남반도체 주식회사
Applicant(s) ANAM SEMICONDUCTOR., Ltd.



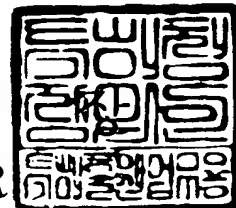
2003 년 12 월 19 일

특

허

청

COMMISSIONER



【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【제출일자】	2003.06.18		
【국제특허분류】	H01L		
【발명의 명칭】	소자분리막 구조 및 제조 방법		
【발명의 영문명칭】	STI structure and processing method		
【출원인】			
【명칭】	아남반도체 주식회사		
【출원인코드】	1-1998-002671-9		
【대리인】			
【성명】	서천석		
【대리인코드】	9-2002-000233-5		
【포괄위임등록번호】	2003-002029-1		
【발명자】			
【성명의 국문표기】	정진호		
【성명의 영문표기】	JUNG, Jin Hyo		
【주민등록번호】	740510-1914213		
【우편번호】	420-712		
【주소】	경기도 부천시 원미구 도당동 아남(주)부천공장		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 서천석 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	2	면	2,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	11	항	461,000 원
【합계】	492,000 원		

【요약서】**【요약】**

본 발명은 모스 트랜지스터의 STI 구조 및 제조 방법에 관한 것으로, 보다 자세하게는 STI 구조 변경을 통해 소스/드레인 접합(Junction) 캐패시턴스와 Junction Leakage를 줄여 트랜지스터의 동작속도를 높이며 Latch-up 특성을 개선시키는 STI 구조 및 제조 방법에 관한 것이다.

본 발명의 STI 구조 및 제조 방법은 소스/드레인의 밑면이 베리드 산화막과 접해있기 때문에 종래의 트랜지스터 구조에서 형성되는 기생 소스/드레인 Junction 캐패시터가 형성되지 않아 전체 기생 캐패시턴스가 많이 줄어들게 되며 이러한 기생 캐패시턴스의 감소로 Gate RC Delay가 감소되어 트랜지스터의 동작속도가 빨라지게 된다. 뿐만 아니라, 소스/드레인의 밑면과 P웰 혹은 N웰과의 Junction이 형성되지 않기 때문에 Junction Leakage가 많이 줄어들게 되어 Off 상태의 Leakage 전류를 많이 감소시킬 수 있어 IC 칩의 전력 소모량을 많이 줄일 수 있다. 그리고 베리드 산화막의 수직 두께를 P웰과 N웰의 두께보다 더 두껍게 성장시키는 경우 P웰과 N웰의 Junction이 사라지게 되어 P웰과 N웰의 Isolation 특성이 개선되며 특히 Latch-up 특성을 개선시킬 수 있어 회로 디자인 마진(Circuit Design Margin)을 많이 넓힐 수 있다.

【대표도】

도 3i

【색인어】

STI, 베리드 산화막, 질화물 스페이서.

【명세서】**【발명의 명칭】**

소자분리막 구조 및 제조 방법{STI structure and processing method}

【도면의 간단한 설명】

도 1은 종래기술의 모스 트랜지스터 STI 제조 방법.

도 2는 또 다른 종래기술의 트랜지스터 STI 제조 방법.

도 3은 본 발명에 따른 STI 제조 방법.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<4> 본 발명은 모스 트랜지스터의 소자분리막(Shallow Trench Isolation, 이하 STI라 칭한다.) 구조 및 제조 방법에 관한 것으로, 보다 자세하게는 STI 구조 변경을 통해 소스/드레인 접합(Junction) 캐패시턴스와 Junction Leakage를 줄여 트랜지스터의 동작속도를 높이며 Latch-up 특성을 개선시키는 STI 구조 및 제조 방법에 관한 것이다.

<5> 도 1은 종래에 주로 사용되고 있는 모스 트랜지스터의 STI 제조 방법을 나타낸 것이다. 실리콘 기판(silicon substrate, 1)에 패드 산화막(pad oxide, 2)을 성장시키고 그 위에 질화물(nitride, 3)을 증착한다(도 1a). 다음으로 감각막을 증착하고 패터닝을 통해 STI(4)를 만들 영역의 감각막을 제거한 후 에칭을 통해 감각막이 제거된 영역의 질화물(3)과 패드 산화막(2)

및 실리콘 기판(1)을 차례로 에칭해 낸다(도 1b). 다음으로 에칭된 표면에 열 산화막(thermal oxide, 5)을 성장시키고 그 위에 APCVD(Atmospheric Pressure Chemical Vapor Deposition)방식으로 산화막(oxide, 6)을 증착하고 고밀도화(Densification) 공정을 진행한다(도 1c). 다음으로 CMP(Chemical Mechanical Polishing) 공정을 진행하고(도 1d) 마지막으로 질화물(3)을 인산으로 제거함으로써 STI(4) 형성 공정을 모두 마치게 된다(도 1e). 이 후 계속되는 소정의 공정들로 모스 트랜지스터를 제조하게 된다.

<6> 그러나, 상기 도 1에서 설명된 종래기술의 모스 트랜지스터는 구조상 형성되는 기생 소스/드레인 접합 캐패시터가 존재할 가능성이 매우 크며, 그로인해 게이트 RC Delay가 높게 되어 트랜지스터의 동작속도가 느려지게 된다. 또한, 소스/드레인의 밀면과 P웰 또는 N웰과의 접합이 형성되어 Junction Leakage가 늘어나 IC 칩의 전력 소모량이 늘어나게 된다.

<7> 대한민국 공개특허 제1999-0061132호를 보면, SOI(silicon on insulator) 구조와 STI 구조를 변경하여 셀(cell)과 셀 사이를 절연시켜 백-바이어스를 가할 수 있도록하여 공정마진을 확보하는 방법을 제시하는 바, P형 반도체 기판에 산소이온 임플란트 공정을 실시하여 산소이온이 원하는 깊이에 위치하도록 하고 열산화 공정을 실시하여 형성되는 매몰산화막, 실리콘층을 구비하는 SOI 구조의 기판에 트랜치를 형성하여 셀(P형 반도체기판)과 셀(실리콘층)을 절연시키는 STI 구조를 형성하여 백-바이어스를 인가할 수 있게 함으로서 매몰산화층 상부에 벌크가 플로팅되는 문제를 해소하는 것을 볼 수 있다.

<8> 도 2는 상기 공개특허의 제조방법을 나타낸 것이다. 반도체 기판(10) 상부에 매몰산화막(11)과 실리콘층(12)을 구비하는 SOI 기판을 형성하는 공정(도 2a), 상기 SOI 기판에서 소자분리 영역으로 예정되어 있는 부분상의 실리콘층과 매몰산화막을 제거하여 트랜치(13)를 형성하는 공정(도 2b), 상기 트랜치(13) 내벽에 스페이서(14)를 형성하는 공정(도 2c),

상기 트렌치(13) 부분의 노출된 반도체 기판 하부에 필드스톱 불순물영역(15)을 형성하는 공정(도 2d), 상기 트렌치를 메우는 절연막(16)을 형성하는 공정(도 2e)을 볼 수 있다.

<9> 그러나, 상기 공개특허에서는 매몰산화막(11)위에 질화물이 아닌 실리콘층(12)을 형성하고, 스페이서(14)를 형성하는 구체적인 수단이 미비하며, 트렌치를 메우는 절연막(16)을 형성할 때에 스페이서(14)를 제거하지 않고 그대로 묻음으로써 보이드 발생 확률이 높아지는 등 소스/드레인 접합(Junction) 캐패시턴스와 Junction Leakage를 대폭 줄이지 못하여, 트랜지스터의 동작속도 증가와 Latch-up 특성 개선에 미흡한 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<10> 따라서, 본 발명은 상기와 같은 종래 기술의 제반 단점과 문제점을 해결하기 위한 것으로, STI 구조 변경을 통해 소스/드레인 접합(Junction) 캐패시턴스와 Junction Leakage를 줄여 트랜지스터의 동작속도를 높이며 Latch-up 특성을 개선시키는 STI 제조 방법을 제공함에 본 발명의 목적이 있다.

【발명의 구성 및 작용】

<11> 본 발명의 상기 목적은 기판위에 패드 산화막과 제 1 질화막을 형성한 후 소자 분리 영역의 상기 제 1 질화막과 패드산화막을 식각하며 드러난 기판을 일정 깊이로 식각하여 트렌치를 형성하는 단계; 상기 기판 상부 전면에 산화막과 제 2 질화막을 증착하고 상기 제 2 질화막을 식각하여 상기 트렌치 측벽에만 남도록 스페이서를 형성하는 단계; 상기 기판을 열산화하여 상기 트렌치 하부 영역에 베리드 산화막을 성장시키는 단계; 상기 스페이서를 제거한 후 상기

기판 전면에 절연막을 증착하여 상기 트렌치를 갭필하고 평탄화하는 단계를 포함하는 STI 제조 방법에 의해 달성된다.

- <12> 또한, 본 발명의 STI 구조는 기판의 소자 분리 영역에 형성된 트렌치; 상기 트렌치 측벽에 형성된 산화막; 상기 트렌치 내부에 형성된 절연막; 상기 트렌치 하부에 상기 트렌치의 폭보다 넓게 형성된 베리드 산화막을 포함하는 것을 특징으로 한다.
- <13> 본 발명의 상기 목적과 기술적 구성 및 그에 따른 작용효과에 관한 자세한 사항은 본 발명의 바람직한 실시예를 도시하고 있는 도면을 참조한 이하 상세한 설명에 의해 보다 명확하게 이해될 것이다.
- <14> 도 3은 본 발명에 따른 STI 제조 방법을 나타낸 것이다.
- <15> 도면 3a에 도식된 것처럼 먼저 실리콘 기판(21)위에 패드 산화막(Pad Oxide, 22)를 성장시키고 제 1 질화막(Nitride, 23)를 증착한다.
- <16> 다음으로 도면 3b에 도식된 것처럼 패터닝과 에칭공정을 통해 트랜지스터가 형성될 영역(24)을 제외한 모든 영역의 제 1 질화막과 패드 산화막을 제거하고 드러난 실리콘 기판을 소스/드레인 Junction 깊이 정도로 식각한다. 바람직하게는 실리콘 기판을 2000Å까지 식각한다.
- <17> 다음으로 도면 3c에 도식된 것처럼 저압 화학적 증착(LPCVD)방식으로 TEOS(Tetraethyl Orthosilicate, 25)를 275Å정도 증착하고 그 위에 LPCVD방식으로 제 2 질화막(26)을 300Å정도 증착시킨다. 여기서 LPCVD TEOS대신 드러난 실리콘 기판에 먼저 열산화막을 성장시키고 그 위에 다시 LPCVD TEOS를 증착시킬 수도 있다.

- <18> 다음으로 도면 3d에 도식된 것처럼 블랭킷 에칭(Blanket Etching)을 통해 식각된 실리콘 기판의 측벽의 질화막을 제외한 모든 질화막을 제거하여 질화막 스페이서(Spacer, 27)을 형성시킨다. 이렇게 형성된 질화막 스페이서는 이 후 습식 산화공정시 산소가 침투하여 실리콘 기판의 측벽과 반응하는 것을 방지하는 역할을 하게된다.
- <19> 그 다음으로 도면 3e에 도식된 것처럼 습식 산화공정을 이용하여 드러나 있는 실리콘 기판을 산화시키게 되는데 습식 산화시 수직방향 뿐만 아니라 수평방향으로도 산화가 되며 에칭된 실리콘 기판의 측벽은 질화막이 산소의 침투를 방지하기 때문에 산화막이 성장하지 않아 도면에 도식된 형태와 같이 타원형의 베리드(Buried) 산화막(28)이 성장하게 된다.
- <20> 상기 베리드 산화막의 수직 두께는 P웰이나 N웰의 깊이보다 더 두껍게 성장시키는 것이 좋다. 또한 수평방향으로 성장된 베리드 산화막이 인접 영역에서 성장된 베리드 산화막과 붙지 않도록 소정의 간격을 갖게 형성하는 것이 좋다.
- <21> 그 다음으로 도면 3f에 도식된 것처럼 인산으로 실리콘 기판의 측벽에 증착되어 있는 질화막을 제거한다.
- <22> 이 후 STI를 형성시키게 되는데 도면 3g에 도식된 것처럼 대기압 화학적 증착(APCVD)방식으로 산화막(29)을 증착하여 STI를 갭필(Gap-Fill)시키고 고밀도화(Densification) 공정을 진행한 다음 CMP공정을 통해 평탄화시킨다.
- <23> 다음으로 도면 3h에 도식된 것처럼 인산으로 남아 있는 질화막(26)을 제거함으로써 STI 형성공정을 모두 마치게 된다.
- <24> 이 후 트랜지스터가 형성되는 액티브 영역 위에 남아 있는 패드 산화막(22)을 스크리닝 산화막(screening oxide)으로 사용하여 이온 주입(ion implantation)공정을 통해 액티브 영역

에 적절한 불순물을 주입시킨다. 그 후 게이트 절연막(30)을 성장시키고 폴리실리콘을 증착한 후 패터닝과 에칭공정을 통해 게이트(31)를 형성시킨다. 다음으로 이온 주입을 통해 LDD영역(32)을 만들게 된다.

- <25> 다음으로 사이드월 질화물(Sidewall Nitride)를 증착시키고 블랭킷 에칭(Blanket Etching)을 통해 게이트 옆면에 사이드월 스페이서(35)를 만든 후 이온 주입을 통해 소스/드레인 영역(33)을 형성시킨다. 상기 소스/드레인 영역(33)은 베리드 산화막과 접하게 된다.
- <26> 그 후 실리사이드(silicide) 공정을 진행하여 실리사이드(34)를 형성시키고 PMD(Pre-Metal Dielectric) Liner층과 PMD BPSG(Boron-Phosphorus Silicate Glass)층(36)을 차례로 증착한 후 CMP를 통해 평탄화시키고 그 위에 다시 캡핑 산화막(capping oxide)를 증착한다.
- <27> 다음으로 콘택(contact) 패터닝/에칭 공정을 통해 콘택홀(contact hole, 37)을 형성시키고 W-Plug를 채운 후 다시 CMP를 통해 평탄화시키며 마지막으로 메탈(Metal, 38)공정을 통해 소스, 드레인, 게이트, 바디 전극을 형성하게 된다(도면 3i).
- <28> 본 발명은 이상에서 살펴본 바와 같이 바람직한 실시예를 들어 도시하고 설명하였으나, 상기한 실시예에 한정되지 아니하며 본 발명의 정신을 벗어나지 않는 범위 내에서 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 다양한 변경과 수정이 가능할 것이다.

【발명의 효과】

- <29> 따라서, 본 발명의 STI 제조 방법은 소스/드레인의 밑면이 베리드 산화막과 접해있기 때문에 종래의 트랜지스터 구조에서 형성되는 기생 소스/드레인 Junction 캐패시터가 형성되지

【특허청구범위】**【청구항 1】**

반도체 소자의 STI 제조 방법에 있어서,

기판위에 패드 산화막과 제 1 질화막을 형성한 후 소자 분리 영역의 상기 제 1 질화막과 패드산화막을 식각하며 드러난 기판을 일정 깊이로 식각하여 트렌치를 형성하는 단계;

상기 기판 상부 전면에 산화막과 제 2 질화막을 증착하고 상기 제 2 질화막을 식각하여 상기 트렌치 측벽에만 남도록 스페이서를 형성하는 단계;

상기 기판을 열산화하여 상기 트렌치 하부 영역에 베리드 산화막을 성장시키는 단계;

상기 스페이서를 제거한 후 상기 기판 전면에 절연막을 증착하여 상기 트렌치를 갯필하고 평탄화하는 단계를 포함하는 STI 제조 방법.

【청구항 2】

제 1 항에 있어서,

상기 산화막은 225Å 내지 325Å 의 두께로 증착하며 상기 제 2 질화막은 250Å 내지 350Å 의 두께로 증착하는 STI 제조 방법.

【청구항 3】

제 1 항에 있어서,

상기 스페이서는 상기 제 2 질화막을 블랭킷 에칭을 통해 형성하는 STI 제조 방법.

않아 전체 기생 캐패시턴스가 많이 줄어들게 되며 이러한 기생 캐패시턴스의 감소로 Gate RC Delay가 감소되어 트랜지스터의 동작속도가 빨라지게 된다. 뿐만 아니라, 소스/드레인의 밑면과 P웰 혹은 N웰과의 Junction이 형성되지 않기 때문에 Junction Leakage가 많이 줄어들게 되어 Off 상태의 Leakage 전류를 많이 감소시킬 수 있어 IC 칩의 전력 소모량을 많이 줄일 수 있다. 그리고 베리드 산화막의 수직 두께를 P웰과 N웰의 두께보다 더 두껍게 성장시키는 경우 P웰과 N웰의 Junction이 사라지게 되어 P웰과 N웰의 Isolation 특성이 개선되며 특히 Latch-up 특성을 개선시킬 수 있어 회로 디자인 마진(Circuit Design Margin)을 많이 넓힐 수 있다.

【청구항 4】

제 1 항에 있어서,

상기 베리드 산화막은 상기 트렌치의 하부영역에 상기 트렌치의 폭보다 큰 타원형의 형태를 이루는 STI 제조 방법.

【청구항 5】

제 1 항에 있어서,

상기 트렌치의 깊이는 반도체 소자의 소스/드레인 영역에 형성될 깊이로 하는 STI 제조 방법.

【청구항 6】

제 1 항에 있어서,

상기 베리드 산화막은 인접 영역에서 성장된 베리드 산화막과 소정의 간격을 갖고 형성되는 것을 특징으로 하는 STI 제조 방법.

【청구항 7】

제 1 항에 있어서,

상기 베리드 산화막의 형성을 위한 열산화는 습식 산화공정에 의해 수행하는 STI 제조 방법.

【청구항 8】

반도체 소자의 STI 구조에 있어서,

기판의 소자 분리 영역에 형성된 트랜치;

상기 트랜치 측벽에 형성된 산화막;

상기 트랜치 내부에 형성된 절연막;

상기 트랜치 하부에 상기 트랜치의 폭 보다 넓게 형성된 베리드 산화막을 포함하는 STI 구조.

【청구항 9】

제 8 항에 있어서,

상기 베리드 산화막은 타원형으로 형성된 STI 구조.

【청구항 10】

제 8 항에 있어서,

상기 트랜치의 깊이는 반도체 소자의 소스/드레인 형성 깊이인 STI 구조.

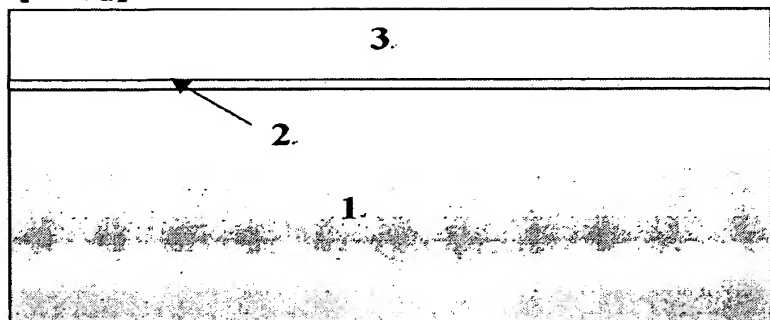
【청구항 11】

제 8 항에 있어서,

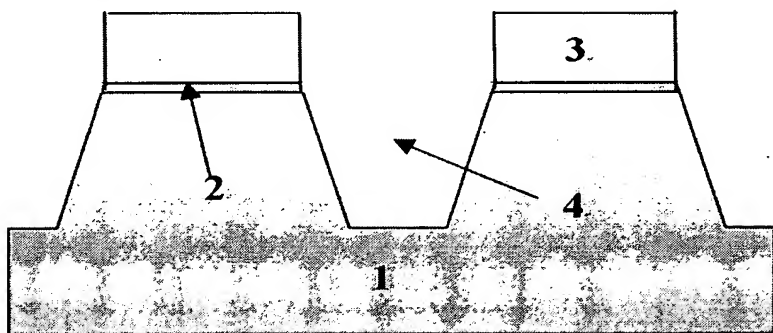
상기 베리드 산화막은 인접하는 베리드 산화막과 일정 간격 이격된 STI 구조.

【도면】

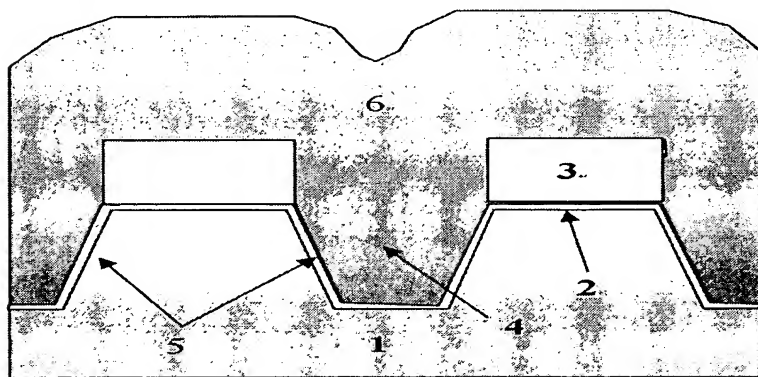
【도 1a】



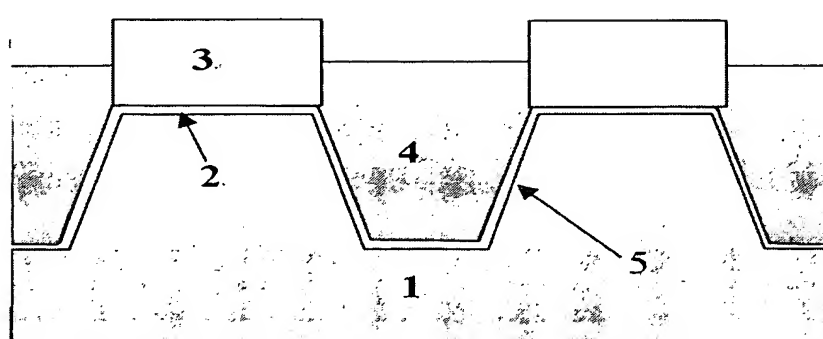
【도 1b】



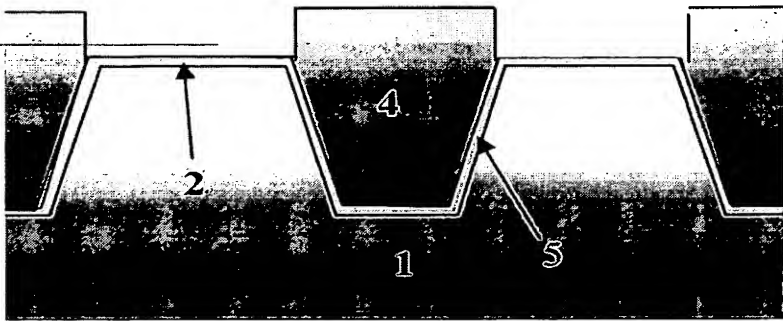
【도 1c】



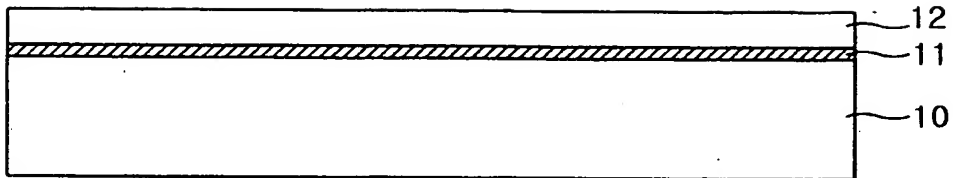
【도 1d】



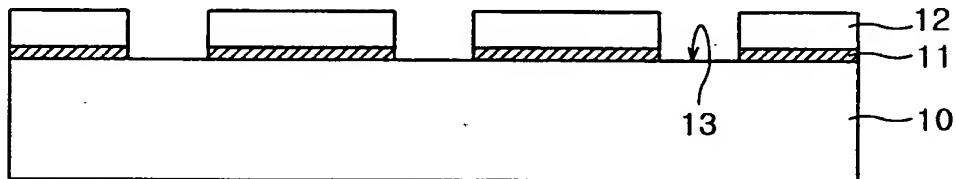
【도 1e】



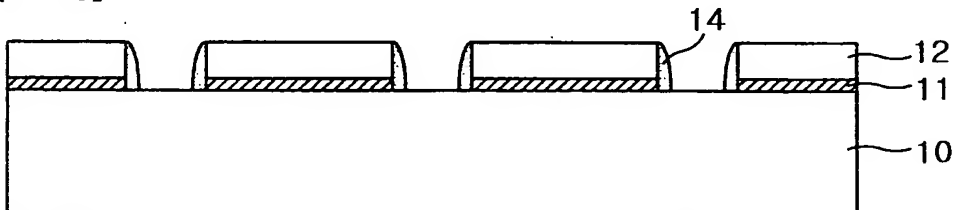
【도 2a】



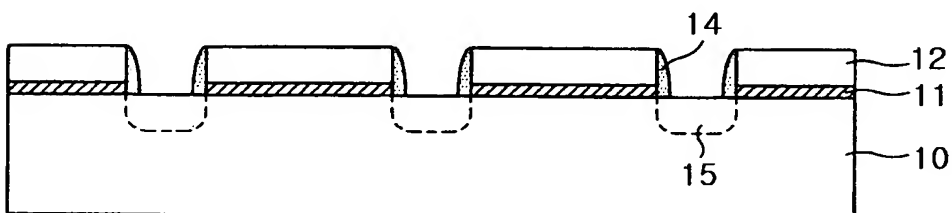
【도 2b】



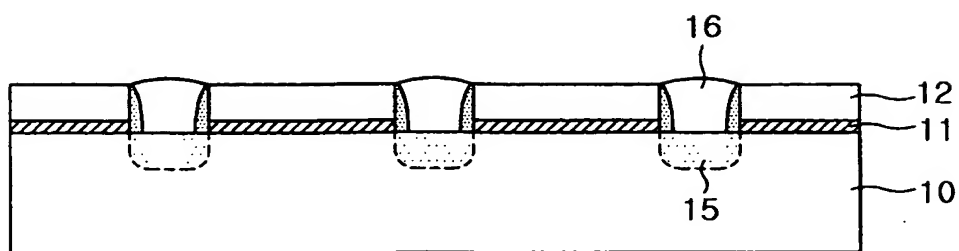
【도 2c】



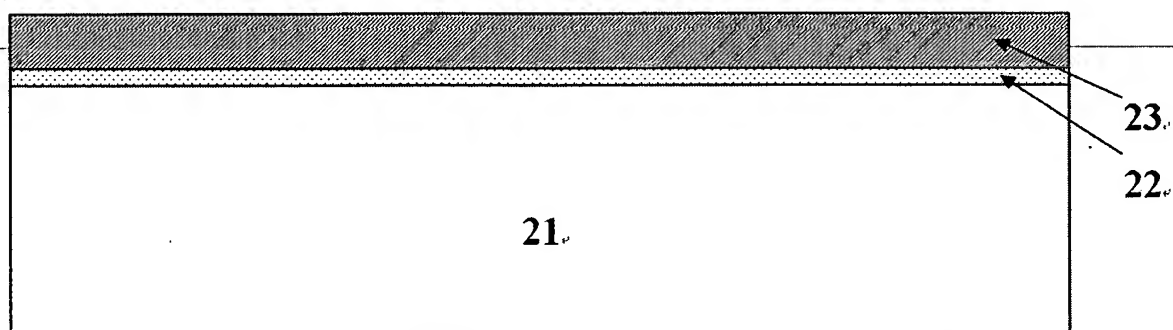
【도 2d】



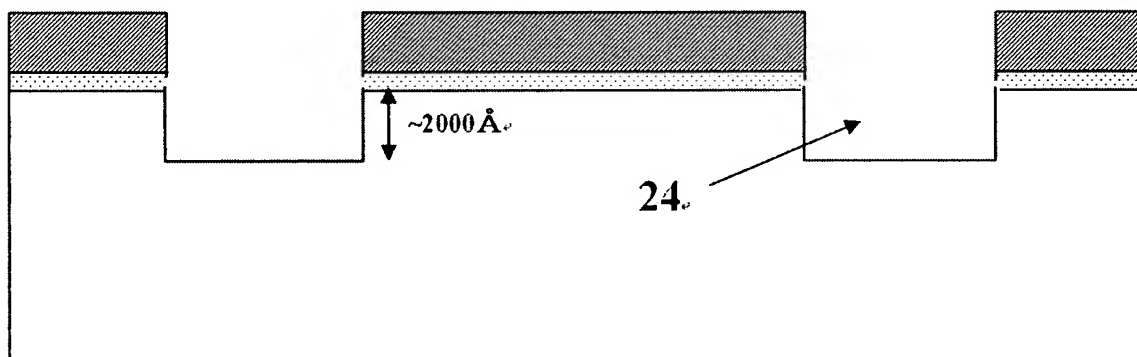
【도 2e】



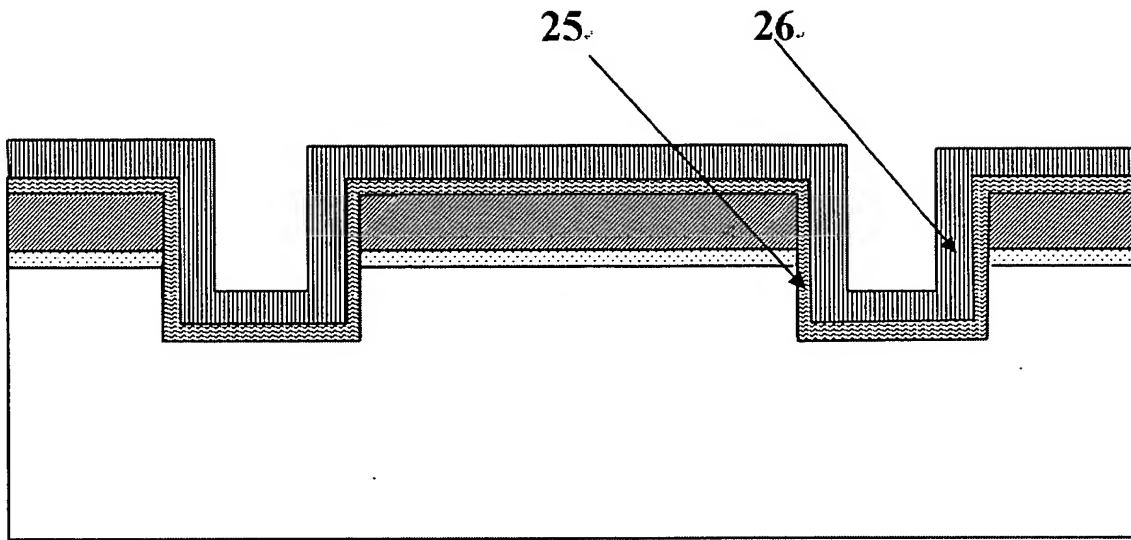
【도 3a】



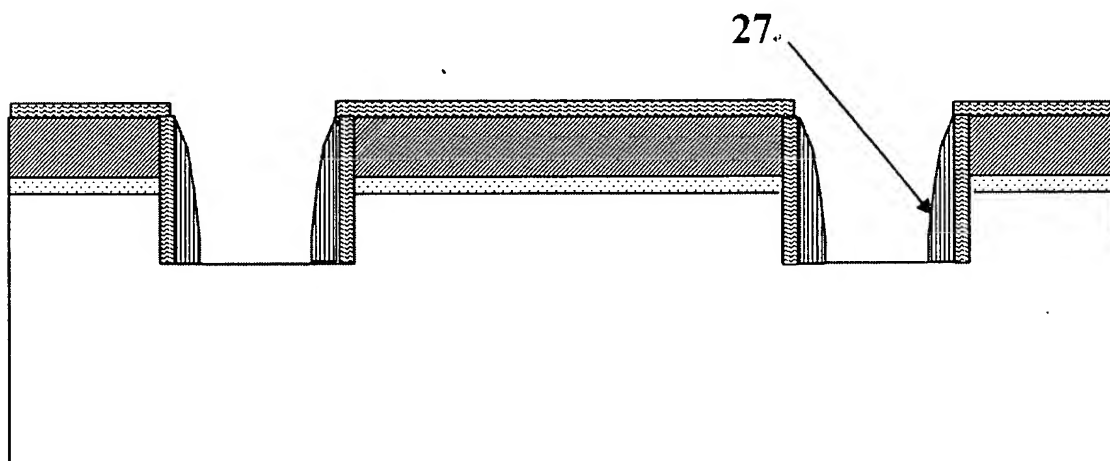
【도 3b】



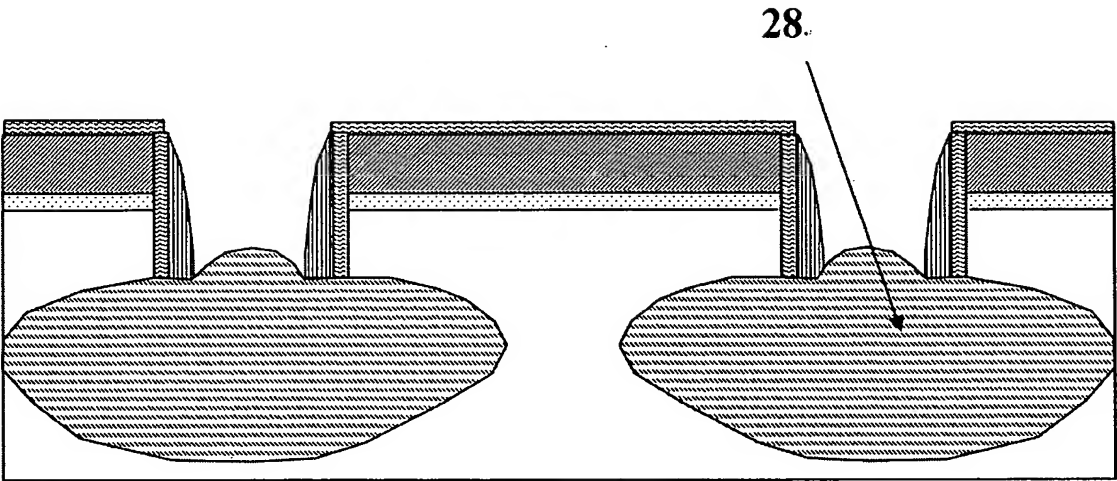
【도 3c】



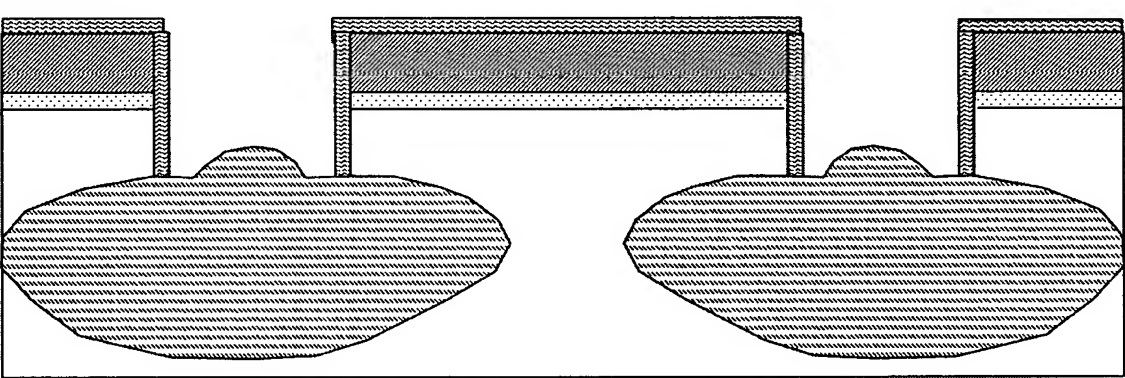
【도 3d】



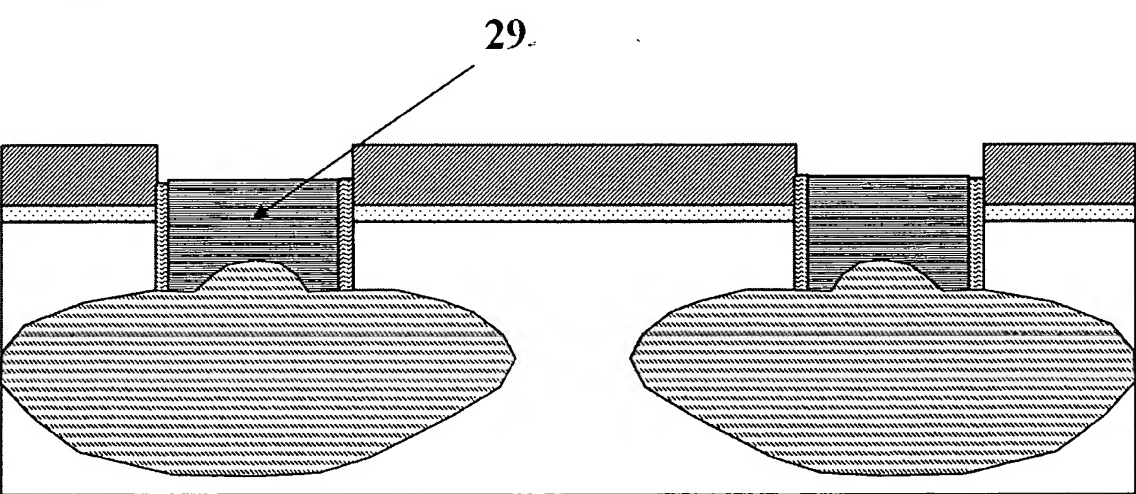
【도 3e】



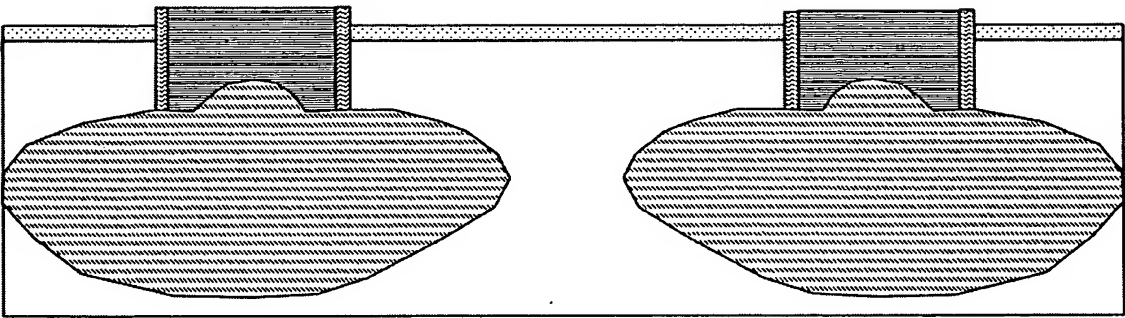
【도 3f】



【도 3g】



【도 3h】



【도 3i】

